

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314028

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 25/00
H01L 21/56
H01L 21/822
H01L 23/12
H01L 27/04
H01P 11/00
H01Q 1/38
H01Q 13/08

(21)Application number : 2001-118242

(71)Applicant : IEP TECHNOLOGIES:KK

(22)Date of filing : 17.04.2001

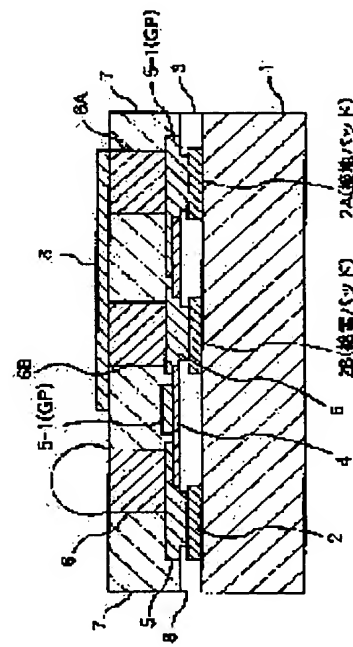
(72)Inventor : AOKI YOSHITAKA

(54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR, AND MOUNTING STRUCTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which passive elements, such as an antenna element, capacitive elements, etc., can be loaded in a chip, and to provide a method of manufacturing the device.

SOLUTION: An inverted F-type antenna is formed by providing a ground plane GP composed of a conductor layer 5-1 connected to a grounding pad 2A, a post 6A formed in a state where the post 6A is connected to the plane GP, another post 6B formed in a state where the post 6B is connected to a feeding pad 2B, and an upper conductor layer 8 which is formed on a sealing film 7 and arranged at a position where the layer 8 faces the conductor layer 5-1 in a state where the layer 8 is connected to the posts 6A and 6B. Consequently, the antenna can be loaded in the chip. In addition, the capacitive elements Cp and Cp' can be constituted of upper conductor layers 12 connected to a conductor-plate wiring board and conductor layers 5-2 facing each other via the sealing film 7 or a dielectric film 13. Therefore, the capacitive elements CP and CP' can be loaded in the chip.



LEGAL STATUS

[Date of request for examination]

08.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3939504

[Date of registration]

06.04.2007

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

【特許請求の範囲】

【請求項1】 半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成される前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の半導体層が接続されて形成される、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、

前記半導体基板上の、前記複数の柱状電極間および前記第1の半導体層上に形成される封止膜と、

前記封止膜上に形成され、前記第1の半導体層に対向するよう配置される少なくとも一つの第2の半導体層と、を有し、

前記第1の半導体層と前記第2の半導体層によって形成される受動素子を備えることを特徴とする半導体装置。

【請求項2】 前記第2の接続パッドに接続される前記第1の半導体層上に形成されて前記第2の半導体層に接続される第1の柱状電極と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の半導体層に接続される第2の柱状電極を備え、

前記第2の接続パッドは接地パッドであり、前記第3の接続パッドは給電パッドであり、前記第1の半導体層と前記第2の半導体層と前記第3の半導体層によって形成される前記受動素子はアンテナ素子であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の半導体層と前記第2の半導体層によって形成される前記受動素子は容量素子であり、前記第2の半導体層上には配線基板上に接続される接続手段を備えることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1の半導体層と前記第2の半導体層によって形成される前記容量素子を複数備えるとともに、インダクタ成分を誘起するようパターンニングして介装され、少なくとも二つの前記容量素子間に接続して介装され、導素子を備える第3の半導体層を備え、

前記複数の容量素子と前記誘導素子とによって形成されるフィルタ回路を備えることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第1の半導体層と前記第2の半導体層との間に誘電体材料を介装することを特徴とする請求項1乃至請求項4記載の半導体装置。

【請求項6】 半導体基板上に複数の接続パッドが設けられた半導体装置の製造方法において、

前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに少なくとも一つの第1の半導体層を接続して形成する工程と、

前記半導体基板上の、前記複数の柱状電極間および前記第1の半導体層上に封止膜を形成する工程と、

前記封止膜上に、前記第1の半導体層に対向するよう配置される少なくとも一つの第2の半導体層を形成する工程

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-314028
(P2002-314028A)

(43)公開日 平成14年10月25日(2002.10.25)

(51)IntCl.	識別記号	FI	チーフ・イニシアチブ (参考)
H01L 25/00	H01L 25/00	B	5F038
21/56	21/56	E	5F061
21/822	23/12	501P	5J045
23/12	H01P 11/00	N	5J046
27/04	H01Q 1/38		

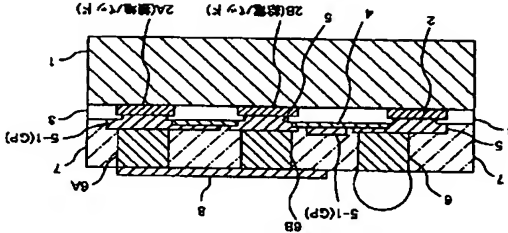
審査請求 未請求 請求項の数17 OL (全 12 頁) 最終頁に続く

(21)出願番号	特開2001-118242(P2001-118242)	(71)出願人	500224531 株式会社アイ・イー・ピー・テクノロジーズ
(22)出願日	平成13年4月17日(2001.4.17)	(72)発明者	東京都八王子市東浅川町550番地の1 青木 由隆 東京都八王子市東浅川町550番地の1 株 式会社アイ・イー・ピー・テクノロジーズ 内
		(74)代理人	100096539 弁理士 関根 英貴

(54) 発明の名称 半導体装置並びにその製造方法および試験構造

【課題】 アンテナ素子や容量素子等の受動素子をチップ内部に搭載し得る半導体装置およびその製造方法を実現する。

【解決手段】 接地パッド2Aに接続される半導体層5-1からなるグラッドプレーンG PとグラッドプレーンG Pに接続して形成されるポスト6Aと、給電パッド2Bに接続されて形成されるポスト6Bと、封止膜7上に形成され、ポスト6A、6Bに接続されて半導体層5-1に對向する位置に配置される上面半導体層8とを設けて逆F型アンテナを形成したので、チップ内部にアンテナを搭載することが可能になっている。また、半導体基板に接続される上面半導体層12と封止膜7または誘電体層13を介して對向する半導体層5-2とにより容量素子C P、C P'を構成することができ、チップ内部に容量素子を搭載することが可能になっている。



第2の柱状電極を形成する工程と、を備え、前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とする。請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第1の導体層と前記第2の導体層によって容量素子を形成する工程と、該第2の導体層上に、配線基板に接続する接続構造を形成する工程と、を備えることを特徴とする。請求項11に記載の半導体装置の製造方法。

【請求項14】 前記第1の導体層と前記第2の導体層によって前記容量素子を形成する工程と、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようパターンニングして誘導素子を形成する第3の導体層を形成する工程と、を備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成することを特徴とする。請求項13に記載の半導体装置。

【請求項15】 前記第1の導体層と前記第2の導体層との間に誘電体材料を介装する工程を備えることを特徴とする。請求項11乃至請求項14に記載の半導体装置の製造方法。

【請求項16】 半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成される前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の導体層に接続される前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、前記半導体基板上の前記複数の柱状電極間および前記第1の導体層上に形成される封止膜と、該封止膜上に形成される前記第1の導体層と前記第2の導体層とを有し、前記第1の導体層と前記第2の導体層によって形成されるアンテナ素子を備える半導体装置と、複数の配線パターンが形成された配線基板と、を備え、前記半導体装置が前記複数の柱状電極を介して前記配線基板の所定の配線パターンに、接続手段により接続されて実装される半導体装置の実装構造において、前記配線基板における、前記半導体装置の前記第2の導体層と前記第2の導体層との前記対向領域は開口部とされていることを特徴とする請求項16に記載の半導体装置の実装構造。

【請求項17】 前記配線基板における、前記半導体装置の前記第2の導体層と前記第2の導体層との前記対向領域は開口部とされていることを特徴とする請求項16に記載の半導体装置の実装構造。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法およびその半導体装置の実装構造に関する。
【0002】

【従来の技術】 近年、チップとパッケージのサイズがほぼ等しくなるCSP構造の半導体装置が知られており、その構造例を図15に示す。この図に示す半導体装置20は、保護膜形成、導体層形成、ポスト形成および樹脂封止の各工程からなるパッケージ処理を終えたウェハを固々のチップにダイシングして得られる、所謂ウェハレベルCSPと呼ばれる構造を有している。

【0003】 すなわち、半導体装置20は、ウェハ(半導体基板)1の表面(回路面)側にアルミ電極等からなる複数の接続パッド2を有し、この接続パッド2の上面側には各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション(絶縁膜)3が形成される。

【0004】 パッシベーション3の上面側には、各接続パッド2の中央部分が開口するよう保護膜4が形成される。保護膜4は例えばウェハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することによって形成される。こうして形成される保護膜4上には、各接続パッド2と後述するポスト(柱状電極)6とを電気的に接続する導体層5が形成される。導体層5上の所定箇所には、柱状電極である複数のポスト6が設けられる。

【0005】 ポスト6を覆うように、ウェハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7が形成される。封止膜7の上端面は切削研磨され、これにより露出するポスト6の端面6aについては、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理(図示せず)が施される。

【0006】

【発明が解決しようとする課題】 ところで、上述したウェハレベルCSP構造の半導体装置20によってBluetoothモジュールやGPS受信モジュールを具現しようとする、受動素子から形成されるフィルタ回路やアンテナ素子はディスクリット部品としてチップに外付けする形態となっており、チップ内部に搭載できないという問題があった。このため、上記モジュールの更なる小型化を図ることが困難であった。更には、上記のような高周波を用いる回路モジュールにおいては部品間の配線長が周波数特性に影響するため、周波数特性を更に向上させることが困難であった。

【0007】 本発明は、このような事情に鑑みてなされたもので、受動素子から形成されるフィルタ回路やアンテナ素子をチップ内部に搭載し得る半導体装置および半導体装置の製造方法およびその半導体装置に適する実装構造を提供することを目的としている。

【0008】

【課題を解決するための手段】 上記目的を達成するため、請求項1に記載の発明では、半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成され

る前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の導体層が接続されて形成される、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、前記半導体基板上の、前記複数の柱状電極間および前記第1の導体層上に形成される封止膜と、前記封止膜上に形成され、前記第1の導体層に對向するよう配置される少なくとも一つの第2の導体層とを有し、前記第1の導体層と前記第2の導体層によって形成される受動素子を備えることを特徴とする。

【0009】 請求項2に記載の発明では、請求項1に記載の発明において、前記第2の接続パッドに接続される前記第1の導体層上に形成されて前記第2の導体層に接続される第1の柱状電極と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を備え、前記第2の接続パッドは給電パッドであり、前記第3の接続パッドは給電パッドであり、前記第1の導体層と前記第2の導体層によって形成される前記受動素子はアンテナ素子であることを特徴とする。

【0010】 請求項3に記載の発明では、請求項1に記載の発明において、前記第1の導体層と前記第2の導体層によって形成される前記受動素子は容量素子であり、前記第2の導体層上には配線基板に接続される接続手段を備えることを特徴とする。

【0011】 請求項4に記載の発明では、請求項3に記載の発明において、前記第1の導体層と前記第2の導体層によって形成される前記容量素子を複数備えるとともに、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようパターンニングしてなす誘導素子を備える第3の導体層を備え、前記複数の容量素子と前記誘導素子とによって形成されるフィルタ回路を備えることを特徴とする。

【0012】 請求項5に記載の発明では、請求項1乃至請求項4に記載の発明において、前記第1の導体層と前記第2の導体層との間に誘電体材料を介装することを特徴とする。

【0013】 請求項6に記載の発明では、半導体基板上に複数の接続パッドが設けられた半導体装置の製造方法において、前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに少なくとも一つの第1の導体層を接続して形成する工程と、前記半導体基板上の、前記複数の柱状電極間および前記第1の導体層上に封止膜を形成する工程と、前記封止膜上に、前記第1の導体層に對向するよう配置される少なくとも一つの第2の導体層を形成する工程とを備え、前記第1の導体層と前記第2の導体層によって受動素子を形成することを特徴とする。

【0014】 請求項7に記載の発明では、請求項6に記載の発明において、前記第2の接続パッドに接続される

前記第1の導体層上に、前記第2の導体層に接続される第1の柱状電極を形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を形成する工程とを備え、前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とする。

【0015】 請求項8に記載の発明では、請求項6に記載の発明において、前記第1の導体層と前記第2の導体層によって容量素子を形成する工程と、前記第2の導体層上に配線基板に接続する接続構造を形成する工程とを備えることを特徴とする。

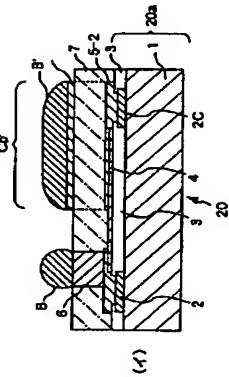
【0016】 請求項9に記載の発明では、請求項8に記載の発明において、前記第1の導体層と前記第2の導体層によって前記容量素子を複数形成する工程と、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようパターンニングして誘導素子を形成する第3の導体層を形成する工程とを備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成することを特徴とする。

【0017】 請求項10に記載の発明では、請求項6乃至請求項9に記載の発明において、前記第1の導体層と前記第2の導体層との間に誘電体材料を介装する工程を備えることを特徴とする。

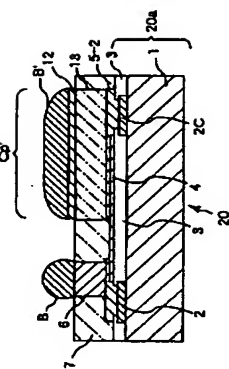
【0018】 請求項11に記載の発明では、半導体装置を製造する方法であって、複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、前記各チップ形成領域上に絶縁膜を形成する工程と、前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに複数の柱状電極を接続して前記第1の導体層を接続して前記絶縁膜上に形成する工程と、前記絶縁膜上の、前記複数の柱状電極間および前記第1の導体層上に封止膜を形成する工程と、前記封止膜上に、前記第1の導体層に對向するよう配置される少なくとも一つの第2の導体層を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程とを具備することを特徴とする。

【0019】 請求項12に記載の発明では、請求項11に記載の発明において、半導体装置の製造方法において、前記第1の導体層上に、前記第2の導体層に接続される第1の柱状電極を形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を形成する工程とを備え、前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とす

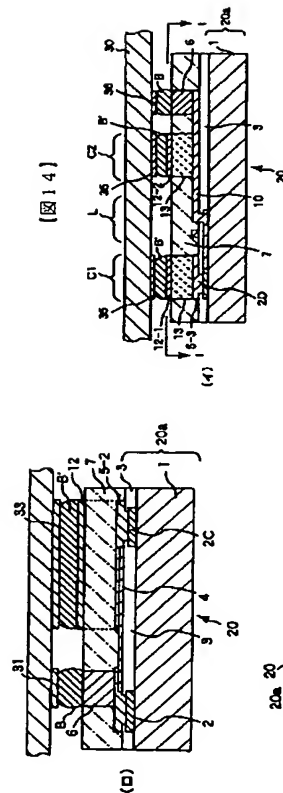
[圖 12]



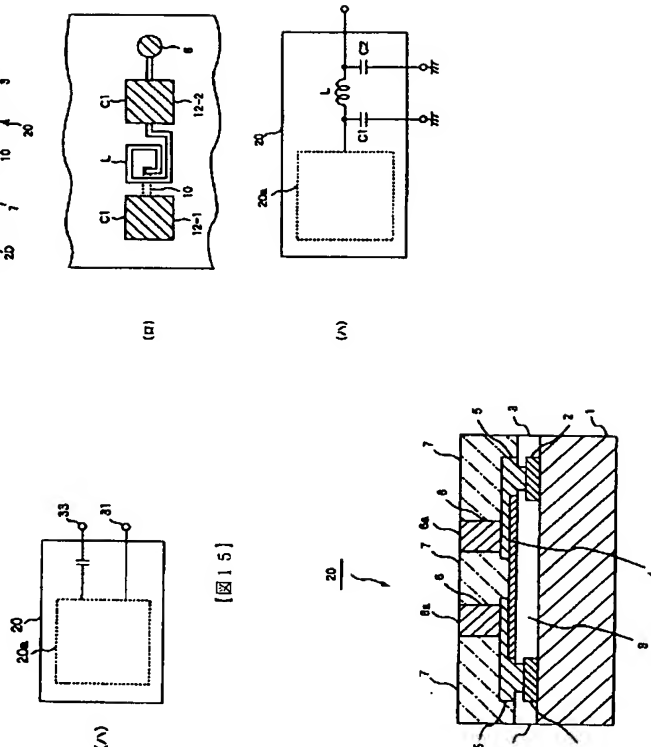
[X13]



【图14】



{☒15}



フロントページの焼き

(51) Int. Cl.

HO 1 P 11/00

H01Q 1/38

13/08

識別記号

7-77-1' (参考)

15

H01Q 13/08

H01L 27/04

C

1

Fターム(参考) 5F038 AC05 AC07 AC15 AC18 AZ04

DF01 EZ19 EZ20

5F061 AA01 BA05 CA10 CA22 CB13

FA03

5J045 AA05 AB05 DA08 EA07 FA02

HA03 NA01

5J046 AA04 AA07 AB13 PA07